

(11)特許出願公開番号

特開平7-306827

(43)公開日 平成7年(1995)11月21日

(51) Int.Cl.⁶
G 0 6 F 13/42

識別記号 340 A 片内整理番号 7368-5B

F I

技術表示箇所

審査請求 未請求 請求項の数6 FD (全 15 頁)

(21)出願番号 特願平7-109177

(22)出願日 平成7年(1995)4月11日

(31)優先権主張番号 240344

(32)優先日 1994年5月10日

(33)優先權主張国 米国 (US)

(71)出願人 591003943

インテル・コーポレーション

アメリカ合衆国 95052 カリフォルニア
州・サンタクララ・ミッション カレッジ
ブルーバード・2200

(72)発明者 ガーバー・シン

アメリカ合衆国 97229 オレゴン州・ポートランド・ノースウエスト 95ティエイ
チ アヴェニュー・175

(72)発明者 マイケル・ダブリュ・ロードハムル

アメリカ合衆国 97007 オレゴン州・ビーバートン・サウスウエスト 153アール
ディ アヴェニュー・10165

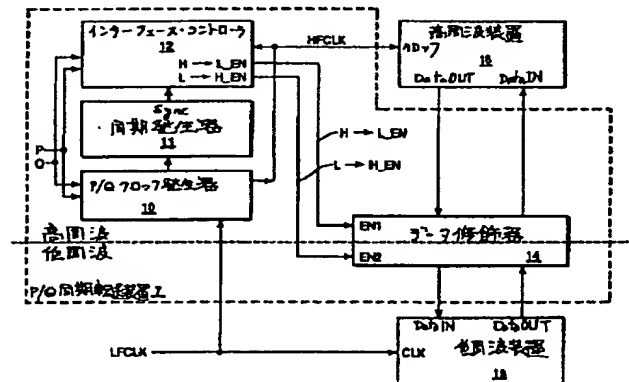
(74)代理人 弁理士 山川 政樹

(54) 【発明の名称】 P/Q整数比関係を有する周波数で動作するディジタル装置間で同期データ伝送を行うための方法および装置

(57) 【要約】

【目的】 P/Q整数比関係を有する異なる周波数で動作する装置の間でデータを同期電送する装置を提供する。

【構成】 P/Qクロック発生器がP/Q周波数比にしたがって高低の周波数クロックの一方または両方を発生する。インタフェース・コントローラが高周波数クロックならびにPおよびQの値を入力として受け取り、高周波数装置から低周波数装置へのデータ転送を可能とする高低データ転送信号を発生する。データ転送信号は周波数境界を越えてデータを転送するための安全な時期、ウィンドウを示す。周波数境界を越えてデータを転送するのに安全な時期は、転送データが安定しており、受信装置がデータを受け取れる高周波数クロック期間である。



Best Available Copy

1

【特許請求の範囲】

【請求項1】 高周波数クロックにしたがって動作する高周波数装置とともに使用され、かつ高周波数クロックのほぼ P/Q 倍（ただし、 P および Q は所定の値を有する整数である）の周波数を有する低周波数クロックにしたがって動作する低周波数装置とともに使用される装置において、

10 高低の周波数クロックの所定の位相関係を示す指示手段と、
前記指示手段および高周波数クロックにตอบสนองして、 P および Q ならびに所定の位相関係にしたがった安全に転送できるウィンドウの間に転送信号を発生する手段と、
前記転送信号にตอบสนองして、高低の周波数装置の一方から他方へのデータの同期転送をもたらす手段とを備えていることを特徴とする装置。

【請求項2】 それぞれがの周波数を有する第1クロックおよびの周波数の P/Q 倍（ただし、 P および Q は所定の値を有する整数である）にはほぼ等しい周波数を有する第2クロックにしたがって動作する第1装置および第2装置とともに使用される装置において、
20 および第2クロックにตอบสนองして、および第2クロックの所定の位相関係を示すsync信号を発生する位相検出器と、

sync信号および第1クロックにตอบสนองして、 P および Q にしたがった安全に転送できるウィンドウの間に転送信号を発生するインタフェース・コントローラと、
転送信号にตอบสนองして、および第2装置の一方から他方へのデータの同期転送をもたらすデータ修飾器とを備えていることを特徴とする装置。

【請求項3】 通信インタフェースをもたらすバスと、
30 バス手段に結合されており、低周波数クロックにตอบสนองして、バス手段を介してデータを送受信する低周波数装置手段と、

バス手段に結合されており、低周波数クロックのほぼ Q/P 倍（ただし、 Q および P は所定の値を有する整数である）の周波数を有する高周波数クロックにตอบสนองして、命令を実行し、バス手段を介してデータを送受信するプロセッサ手段とを備えており、プロセッサ手段がプロセッサ手段と低周波数装置手段の間に同期データ伝送をもたらす装置を有しており、前記装置が高低の周波数クロックの所定の位相関係を示す指示手段と、
40 前記指示手段および高周波数クロックにตอบสนองして、 P および Q ならびに所定の位相関係にしたがった安全に転送できるウィンドウの間に転送信号を発生する手段と、

転送信号にตอบสนองして、プロセッサ手段と低周波数装置手段の一方から他方へのデータの同期転送をもたらす手段とを含んでいることを特徴とするコンピュータ・システム。

【請求項4】 通信インタフェースをもたらすシステム・バスと、

2

システム・バスに結合されており、第2クロックにตอบสนองして、システム・バスを介してデータを送受信する低周波数装置と、

システム・バスに結合されており、第2クロックのほぼ Q/P 倍（ただし、 Q および P は所定の値を有する整数である）の周波数を有する第1クロックにตอบสนองして、命令を実行し、システム・バスを介してデータを送受信するプロセッサとを備えており、プロセッサがプロセッサと低周波数装置の間に同期データ伝送をもたらす装置を有しており、前記装置がおよび第2クロックにตอบสนองして、および第2クロックの所定の位相関係を示すsync信号を発生する位相検出器と、

sync信号および第1クロックにตอบสนองして、 P および Q にしたがった安全に転送できるウィンドウの間に転送信号を発生するインタフェース・コントローラと、
転送信号にตอบสนองして、プロセッサと低周波数装置の一方から他方へのデータの同期転送をもたらすデータ修飾器とを含んでいることを特徴とするコンピュータ・システム。

20 【請求項5】 高周波数クロックにしたがって動作する高周波数装置と高周波数クロックのほぼ P/Q 倍（ただし、 P および Q は所定の値を有する整数である）の周波数を有する低周波数クロックにしたがって動作する低周波数装置との間でデータを転送する方法において、
高低の周波数クロックの所定の位相関係を示し、
高周波数クロックにตอบสนองして、 P および Q ならびに所定の位相関係にしたがって安全に転送できるウィンドウの間に転送信号を発生し、
転送信号にตอบสนองして、高低の周波数装置の一方から他方へのデータの同期転送をもたらすステップとを備えていることを特徴とする方法。

30 【請求項6】 転送信号の間に高低の周波数装置の一方から他方へ同期的にデータを転送するステップをさらに含んでいることを特徴とする請求項5に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的には同期データ転送に関し、詳細に言えば、 P/Q 整数比関係を有する異なる周波数で動作するディジタル論理装置間の同期データ転送に関する。

【0002】

40 【従来の技術】 歴史的にいつて、コンピュータのシステム周波数は利用されるシリコン技術によって制限されていた。換言すれば、システム・ボード技術は、その時点で利用可能なシリコン技術によってもたらされるマイクロプロセッサよりも高い周波数で動作することができた。通常、古い技術を使用して設計されたコンピュータ・システムはシステム・ボードとマイクロプロセッサの両方をマイクロプロセッサが必要とする低い周波数で動作させるものであった。しかしながら、シリコン技術が

3

システム・ボード技術よりも早く進歩してきたため、逆転が生じている。今日では、最新のシリコン技術が、現在入手可能なシステム・ボードよりもはるかに高い周波数で動作できるマイクロプロセッサが実現している。

【0003】システム・ボードとマイクロプロセッサの技術の他に、異なる周波数領域で動作させなければならないというさまざまな他の技術的制約が存在している。たとえば、マイクロプロセッサとキャッシュ・メモリを、最大動作周波数がそれぞれ異なっている異なるシリコン技術を使用して製造することができる。マイクロプロセッサと浮動小数点演算装置も異なる周波数で動作させるのが有利である。これらの例において、キャッシュ・メモリおよび／または浮動小数点演算装置はCPUと同じチップ（ダイ）に実装されたものであっても、別なチップに実装されたものであってもよい。同一チップで製造する場合であっても、データを交換する個々の機能ブロックは異なる周波数で動作するのが有利である。異なる周波数で動作するのが有利な装置の他の例としては、ディスクリット論理構成要素と通信装置がある。したがって、本発明は各種のデジタル論理装置およびメモリ装置に適用できる。

【0004】今日、高性能コンピュータ・システムを提供するためには、マイクロプロセッサをその最大可能周波数で動作させ、コンピュータ・システムの他の部品をシステム・ボード技術またはその他の技術のいずれかの制約によって規定される低い周波数で動作させるのが有利である。このようなコンピュータ・システムでの大きな問題は、異なる周波数で動作している各種の構成要素の間のデータ転送である。解決策の1つは非同期データ転送機構を設けることである。非同期データ転送機構は正確なデータ転送を行うことができるが、マイクロプロセッサで使用するには望ましくないことがしばしばある。非同期転送機構にはデータ転送待ち時間の不確実性と、データ転送精度との間の固有のトレードオフがある。通常、非同期転送機構はデータ転送待ち時間の不確実性を犠牲にして、データ転送精度を最適化するように設計されている。

【0005】マイクロプロセッサにおける同期設計はいくつかの理由から、非同期設計よりも有利である。第1に、マイクロプロセッサの設計検証ツールは同期論理設計のデバッグに合わせて最適化されている。同期設計技法を使用すると、マイクロプロセッサの設計と検証が大幅に簡単となり、また信頼性の高いものとなる。第2に、マスタ・チェッカ手法を使用するフォールト・トレラント・コンピュータ・システムで、同期設計が要求されている。マスタ・チェッカ・システムにおいて、第1のプロセッサ、すなわちマスタは第2のプロセッサ、すなわちチェッカによるロック・ステップ動作を行う。各クロック・サイクル中に、チェッカ・プロセッサは2つのプロセッサがそのピンに同一の結果を発生しているかどうか

4

かを監視して、エラー・チェックを行う。非同期データ転送設計が前提となるロック・ステップ動作をもたらさないため、これらの設計はマスタ・チェッカ・システムでは受け入れられない。

【0006】マイクロプロセッサの中には、コンピュータ・システム・バスの周波数の整数倍の周波数で内部動作を行うものがある。このようなコンピュータ・システムにおいては、低い周波数のクロックのデータ転送エッジが高い周波数のクロックのデータ転送エッジと対応していることによって、異なる周波数で動作している構成要素の間の同期データ転送が容易となる。したがって、低い周波数のクロックのデータ転送エッジまたは高い周波数のクロックの対応するデータ転送エッジ、あるいはこれら両方を使用して、データ転送を行うことができる。しかしながら、整数倍周波数設計はシリコン技術における量子跳躍の改善を利用しているだけにすぎない。たとえば、システム・ボード技術が50MHzの動作に限定されている場合には、100、150、200...MHzで動作するマイクロプロセッサを整数倍設計に使用できる。現在利用可能なシリコン技術が120MHzでマイクロプロセッサを動作させられると仮定すると、100MHzを超えた追加の20%の性能は整数倍設計には利用されない。システム・バスに対してより融通性の高い周波数比で動作できるとともに、マイクロプロセッサとコンピュータ・システム・バスの他の装置との間での同期データ転送をもたらすことのできるマイクロプロセッサの設計を提供するのが有利である。一般に、融通性の高い動作周波数比にしたがって動作する各種のデジタル論理装置およびメモリ装置の間で同期データ転送を行うのが有利であろう。本発明はこれらの有利な成果をもたらすものである。

【0007】

【発明が解決しようとする課題】したがって、P/Q整数比関係を有する周波数で動作するデジタル装置間の同期データ転送のためのシステム、方法および装置が必要とされている。本発明はそれを実現することを目的とする。

【0008】

【課題を解決するための手段】本発明はP/Q整数比関係を有する周波数で動作する装置間で同期データ転送を行うための方法と装置を提供し、ならびにマイクロプロセッサおよびコンピュータ・システムでそれを実現しようとするものである。本発明装置は次の周波数関係を有する高周波数装置と低周波数装置の間の同期データ転送をもたらす。

低周波数 = (P/Q) × 高周波数

ただし、PおよびQは整数値であり、PはQより小さい。装置はデータ転送信号を発生し、これらの信号で高周波数領域と低周波数領域の間でデータを同期転送するための安全なデータ転送時間すなわち安全にデータを転

送できるウィンドウを確保する。一つの例において、安全なデータ転送ウィンドウは、転送すべきデータが安定しており、受信装置がデータを受信できる（すなわち、受信する準備ができています）時間範囲、すなわち期間である。

【0009】本発明装置は高周波数クロックにしたがって動作する高周波数装置とともに、また低周波数クロックにしたがって動作する低周波数装置とともに使用できる。低周波数クロックは高周波数クロックの周波数のほぼ P/Q 倍である。ただし、 P および Q は整数値である。

【0010】一実施態様において、本発明装置は高周波数および低周波数のクロックの所定の位相関係を示す手段と、その指示手段および高周波数クロックに応じて、 P および Q の値ならびに所定の位相関係にしたがって安全な転送ウィンドウ中に転送信号を発生する手段と、その転送信号に応じて、高周波数および低周波数装置の一方から他方へのデータの同期転送を可能とする手段とを含んでいる。

【0011】ある態様では、安全な転送ウィンドウは転送されるデータが安定し、かつデータ受信装置がデータを受信できる、高周波数クロックの少なくとも 1 つの期間である。一つの例において、所定の位相関係は高低の周波数クロックのほぼ一致エッジである。一つの例において、 P は Q 未満であり、 Q は P の整数倍ではない。

【0012】他の実施態様では、本発明は P と Q の値を選択する手段を含んでいる。その一つの例では P および Q 選択手段は装置のプログラム式ピンからなっている。他の例では P および Q 選択手段は装置のレジスタである。さらに他の例では P および Q 選択手段はアルゴリズムを実行するプロセッサからなっている。さらに他の例では P および Q 選択手段はアルゴリズムを実行する状態機械からなっている。

【0013】本発明の特定の実施態様において、転送信号発生手段は、高周波数クロックに応じてカウント値を発生するとともに指示手段に応じてカウント値を所定のカウンタ値にリセットするカウンタ手段と、そのカウンタ手段に結合され、カウンタ値と P および Q の値を復号し、 P および Q とカウンタ値の所定の組合せにしたがって転送信号を発生するデコード手段とを含んでいる。

【0014】他の実施態様では、本発明は P および Q の値にしたがって高低の周波数クロックの一方または両方を発生する P/Q クロック発生手段を含んでいる。その一つの例では、 P/Q クロック発生手段は高周波数クロックにตอบสนองして、 P および Q の値にしたがって低周波数クロックを発生する。他の例では、 P/Q クロック発生手段は低周波数クロックにตอบสนองして、 P および Q の値にしたがって高周波数クロックを発生する。

【0015】特定の実施態様において、 P/Q クロック発生手段は低周波数クロックに応じて、（低周波数クロ

ック）/ P にほぼ等しい周波数を有する第 2 信号を発生する周波数分割手段と、その第 2 信号に応じて、低周波数クロックの周波数のほぼ Q/P 倍の高周波数クロックを発生する位相ロックループとを含んでいる。本発明を添付図面の図に限定されるものではない例によって説明するが、類似した参照符号は同等な要素を示す。

【0016】

【実施例】 P/Q 整数比関係を有する周波数で動作する装置の間で同期データ転送を行うためのシステム、方法、および装置を説明する。以下の説明において、信号名、入力または出力信号タイプ、装置の周波数、クロック周波数、バス周波数、および P/Q 周波数比などの各種の固有の細目が、本発明を完全に理解するために記載されている。しかしながら、当分野の技術者には、本発明をこれらの固有の細目なしに実施できることが明らかであろう。他の場合には、周知の方法および回路をブロック図の形で示して、本発明を曖昧なものとしなかった。本発明を周知の CMOS（相補型金属酸化膜半導体）技術、あるいは同等の半導体製造プロセスを使用して簡単に製造できるトランジスタ回路で構成できることを理解されたい。さらに、本発明をデジタル装置を作成するための他の製造プロセスによって実施することもできる。

【0017】以下の検討において、本発明をマイクロプロセッサでの実施に関して提示するが、本発明はその実施形態に限定されるものではない。別々の論理装置、メモリ装置、同一または別のチップのいずれかにおける装置、通信装置などの各種のデジタル装置間での同期データ転送に関する実施形態は、本発明の範囲および精神に属するものである。

【0018】図 1 は本発明装置の一実施例のブロック図である。本発明は一般に、データを同期して交換し、 P/Q 整数比関係を有する周波数で動作するデジタル装置に適用される。高周波数領域の装置は高周波数クロックによってクロックされ、低周波数領域の装置は高周波数クロックの周波数の P/Q 倍の周波数を有する低周波数クロックによってクロックされる。ただし、 P および Q は整数値である。本実施例において、 P は Q よりも小さく、低周波数/高周波数関係をもたらす。 P/Q 同期転送装置 7 は高周波数装置と低周波数装置との間の同期データ転送をもたらす。

【0019】 P/Q クロック発生器 10 は 1 つまたは複数のクロックを発生する。一つの例において、 P/Q クロック発生器 10 は入力として低周波数クロック Lf_{clk} を受け取り、高周波数クロック Hf_{clk} を発生する。この例において、 P/Q クロック発生器 10 は位相ロック・ループである。他の例では P/Q クロック発生器 10 は高周波数クロックを受け取り、低周波数クロックを発生する。さらに他の例では P/Q クロック発生器 10 は高低両周波数のクロックを発生する。高低クロ

7

クの周波数は式 1 によって決められる 2 つの値 P および Q によって決定される P/Q 整数比関係を有する。

(式 1) 低周波数 = (P/Q) × 高周波数
ただし、P < Q、P および Q は整数値を表す。

【0020】P および Q の値は各種の方法でプログラムしたり、設定したり、あるいは選択したりすることができる。たとえば、図 2 はプログラム式ピン 126 からなる P および Q の値を選択するための P/Q セレクタを示す。図 3 は P レジスタおよび Q レジスタからなる P/Q セレクタを示す。図 4 は P および Q の値を選択するための P および Q 選択状態機械 140 を示す。図 5 は P および Q の値を選択するためのアルゴリズムを示す。このアルゴリズムはプロセッサまたは状態機械によって実行することができる。たとえば、プロセッサの電源を入れて P および Q のデフォルト値を持たせ、できるだけ高い周波数で動作させ、システム・バスによる最適動作のために P および Q の値を反復して選択させることができる。

【0021】図 1 を再度参照されたい。同期発生器 11 は高低の周波数クロックの所定の位相関係を示す Sync 信号を発生する。一つの例において、同期発生器 11 は位相検出回路であり、高低の周波数クロックを受け取り、所定の位相関係を検出したとき、Sync 信号を発生する。Sync 信号は、所定の位相関係を示すためさまざまな時点でアサートされる。一つの例において、Sync 信号は、高周波数クロック・サイクル中の、高低の周波数クロックの立上りエッジが一致する以前にアサートされる。一つの例において、Sync 信号は所定の位相関係の発生ごとに発生される。他の例では Sync 信号は所定の位相関係の最初の発生時にのみ発生される。一つの例において、所定の位相関係とは高低の周波数クロックの立上りエッジの一致である。他の例では Sync 信号は高低の周波数クロックの他の複数のエッジの一致ないし位相関係を示し、それを示すためにその時点でアサートされる。

【0022】高周波数装置 16 は高周波数クロックに応じて動作し、そのデータ入力およびデータ出力端子（それぞれ DataIN および DataOUT）を介して、データを他の装置と交換する。低周波数装置 18 は低周波数クロックに応じて動作し、それ自体のデータ入力およびデータ出力端子（これもそれぞれ DataIN および DataOUT である）を介して、データの交換をする。高周波数装置および低周波数装置のデータ入力および出力端子は、データ修飾器 14 に結合されている。一つの例において、高低の周波数装置は組合せ論理装置である。他の例では高低の周波数装置は別々の論理装置である。他の例では高低の周波数装置はプロセッサである。他の例では高低の周波数装置は CPU とキャッシュ・メモリ、あるいは CPU と浮動小数点演算装置などのマイクロプロセッサの異なる機能ブロックである。他の例では高低の周波数装置は別々のチップの CPU とキャ

8

ッシュ・メモリである。さらに他の例では高周波数装置はプロセッサであり、低周波数装置はコンピュータ・システムの周辺装置およびシステム・バスである。

【0023】データ修飾器 14 は高周波数装置の入力および出力端子をそれぞれ低周波数装置の出力および入力端子に結合し、高周波数装置と低周波数装置の間のデータの転送を可能とする。データ修飾器 14 は高低データ転送信号 $H \rightarrow L_{en}$ に応じた高周波数装置から低周波数装置へのデータの転送、ならびに低高データ転送信号 $L \rightarrow H_{en}$ に応じた低周波数装置から高周波数装置へのデータの転送を可能とする。 $H \rightarrow L_{en}$ および $L \rightarrow H_{en}$ データ転送信号はそれぞれデータ修飾器 14 の $en1$ および $en2$ 入力に結合されている。一つの例においては、データ修飾器 14 はデータ転送信号に応じてデータを転送するための転送ゲートからなっている。他の例ではデータ修飾器 14 は転送データをデータ転送信号で修飾するための AND ゲートなどの論理ゲートからなっている。他の例ではデータ修飾器 14 はデータ転送信号に応じて入力および出力データをラッチするラッチからなっている。さらに他の例ではデータ修飾器 14 はデータ転送信号によって使用可能とされ、クロックの 1 つに応答するラッチからなっている。

【0024】インタフェース・コントローラ 12 は P および Q 値、高周波数クロックおよび Sync 信号を受け取り、これらの入力に応じて、それぞれ高周波数領域から低周波数領域へ、および低周波数領域から高周波数領域への同期データ転送を可能とする $H \rightarrow L_{en}$ および $L \rightarrow H_{en}$ データ転送信号を発生する。一つの例においては、インタフェース・コントローラは状態機械である。他の例ではインタフェース・コントローラはプロセッサである。さらに他の例ではインタフェース・コントローラは組合せ論理である。活動時に、データ転送信号は高低の周波数装置の間でデータを同期転送するための安全にデータを転送できる時間ないしウィンドウを示す。一つの例において、安全にデータを転送できる時間は送信周波数領域におけるデータが安定していることが判明しているときであり、かつ受信周波数領域における受信装置がデータを受信できるときである。

【0025】図 6 は図 1 のインタフェース・コントローラ 12 が発生する $L \rightarrow H_{en}$ 信号の一つの例を示す。この例において、 $L \rightarrow H_{en}$ 信号は低周波数クロックの立上りエッジ（すなわち、データ変化エッジ）のない間に選択された高周波数クロック・サイクルの間にアクティブ状態である。低周波数領域におけるデータは低周波数クロックの立上りエッジに応じて変化する。低周波数領域データが $L \rightarrow H_{en}$ がアクティブ状態の期間の間安定しているため、この期間の間にデータを低周波数領域から高周波数領域へ転送するのが安全であり、かつ高周波数装置はその高周波数クロック・サイクルの間データを受け取ることができる。他の例で

は、低周波数領域のデータは低周波数クロックの立下がりエッジに応じて変化し、 L_{en} 信号は低周波数クロックの立下がりエッジがない間に選択された高周波数クロック・サイクルの間にアクティブ状態である。他の例では L_{en} 信号は低周波数クロックのデータ変化エッジがない間に選択された高周波数クロック・サイクルの間アクティブ状態である。一つの例においては、データの転送も読取りまたは書き込み信号によって修飾される。

【0026】図7は図1のインタフェース・コントローラ12が発生する H_{en} 信号の一つの例を示す。この例において、 H_{en} 信号は低周波数クロックの立上りエッジ（すなわち、データ受信エッジ）のすぐ前の高周波数クロック・サイクルの間アクティブ状態となる。高周波数装置によって転送されるべきデータは H_{en} 信号に応じてラッチされてから、低周波数装置へ転送される。データは次いで、低周波数クロックの次の立上りエッジにおいて低周波数装置によってラッチないし受信される。一つの例において、データの転送は読取りまたは書き込み信号によって修飾もされる。他の例では H_{en} データ転送信号は低周波数クロックの受信エッジの直前の2つ以上の高周波数クロック・サイクルの間にアクティブ状態となる。この例によって、高周波数領域からのデータが低周波数装置によって受け取られるまでに余分の時間の間、安定することが可能となる。他の例では H_{en} データ転送信号が、低周波数クロックのデータ受信エッジの間にアクティブ状態となる。さらに他の例では低周波数クロックの受信エッジは立下がりエッジである。他の例では H_{en} 信号は、低周波数クロックのデータ変化ないしデータ受信エッジが存在しない間の高周波数クロック・サイクルの間アクティブ状態となることができる。

【0027】図8はコンピュータ・システムのプロセッサ50における本発明装置の特定の実施形態のブロック図である。この実施例を、図1の実施例と異なり、マイクロプロセッサおよびコンピュータに関して説明する。たとえば、図1の低高および高低データ転送信号を $sample_{\text{en}}$ および $drive_{\text{en}}$ 信号として説明して、入出力パッドにおけるデータをサンプリングおよび駆動するプロセッサの機能を反映させる。プロセッサ50はシステム・バス56に結合されて、54によって表される外部装置と通信する。外部装置54はシステム・バス56の一部となりうるバス・クロックに応じて動作する。一つの例において、バス・クロックはプロセッサ50によって発生される。他の例ではバス・クロックは外部で発生され、プロセッサ50へ入力される。

【0028】プロセッサ50はシステム・バス56を介して高周波数プロセッサ・コア34と外部装置54の間に同期データ転送をもたらしするためのP/Q同期転送装置

48を含んでいる。P/Q同期転送装置はシステム・バス・インタフェース論理52を含んでいる。他の実施例において、システム・バス・インタフェース論理52は外部装置54の一部である。さらに他の実施例において、システム・バス・インタフェース論理52はプロセッサ50の外部の独立した装置の一部である。システム・バス・インタフェース論理52はスキュー解除低周波数バス・クロックにตอบสนองして動作する。高周波数プロセッサ・コア34は高周波数コア・クロックにตอบสนองして動作する。スキュー解除バス・クロックはバス・クロックと同じ周波数を有しており、かつコア・クロックと同じ位相を有している。バスとコア・クロックの間の周波数関係は以下の式2で規定する整数比関係である。スキュー解除バス・クロックは単純な論理設計を可能とする。他の実施例においては、バス・クロックがスキュー解除バス・クロックの代わりに使用される。

【0029】プロセッサ50はP値とQ値を受け取るP/Qクロック発生器30を含んでおり、1つまたは複数のクロックおよびSync信号を発生する。一つの例において、P/Qクロック発生器10は入力としてバス・クロックを受け取り、コア・クロックを発生する。この例において、P/Qクロック発生器30は位相ロック・ループであってもよい。他の例ではP/Qクロック発生器30はコア・クロックを受け取り、バス・クロックを発生する。さらに他の例ではP/Qクロック発生器30はバス・クロックとコア・クロックの両方を発生する。一つの例においては、P/Qクロック発生器30はコア・クロックと同じ位相を有するスキュー解除バス・クロックを発生する。他の例ではP/Qクロック発生器30はバス・クロックと同じ位相を有するスキュー解除バス・クロックを発生する。コア・クロックとバス・クロックの周波数は式2で規定される2つの値PおよびQによって決定される整数比関係P/Qを有している。

【0030】(式2) $\text{バス・クロック周波数} = (P/Q) \times \text{コア・クロック周波数}$

ただし、PおよびQは整数比P/Qの整数値を表す。一つの例において、PはQよりも小さく、バス・クロック周波数がコア・クロック周波数よりも低くなるようになっている。他の例ではPはQよりも大きく、バス・クロック周波数がコア・クロック周波数よりも高くなっている。PおよびQの値は各種の方法で設定することができる（図2-図5）。一つの例においては、PおよびQの値はプロセッサ50のピンによって設定される。他の例ではPおよびQの値はプロセッサ50のレジスタに値を書き込むことによって設定される。さらに他の例ではPおよびQはアルゴリズムによって設定される。たとえば、プロセッサ50は電源が投入されてPおよびQがデフォルトの値となり、取りうる最高のコアで動作し、システム・バスによる最適な動作のために反復してPおよびQの値を選択する。このようなアルゴリズムはシステ

子DataOUTからデータを受け取るように結合されている。ラッチ36のイネーブルおよびクロック入力はいずれもdrive_enおよびコア・クロック信号に結合されている。一つの例において、ラッチ36は透過Dラッチであり、イネーブル入力がアクティブ状態であれば、コア・クロックが低い期間の間透過性である。他の例ではラッチ36はエッジ・トリガDラッチである。ラッチ36の出力はラッチ38の入力に結合されている。ラッチ38のクロック入力はスキュー解除バス・クロックに結合されている。一つの例において、ラッチ38はスキュー解除バス・クロックの立上りエッジに応答するエッジ・トリガ・ラッチである。他の例ではラッチ38は透過Dラッチである。ラッチ38の出力は出力パッド44に結合されている。他の例ではスキュー解除バス・クロックが発生されず、ラッチ38のクロック入力がバス・クロックに結合されている。

【0034】ラッチ40は入力パッド46からデータを受け取るように結合されている。ラッチ40のクロック入力はスキュー解除バス・クロックに結合されている。一つの例においては、ラッチ40はスキュー解除バス・クロックの立上りエッジに応答するエッジ・トリガDラッチである。他の例ではラッチ40は透過Dラッチである。他の例ではスキュー解除バス・クロックが発生されず、ラッチ40のクロック入力がバス・クロックに結合されている。ラッチ42はラッチ40の出力を受け取るように結合されている。ラッチ42のイネーブルおよびクロック入力はそれぞれsample_enおよびコア・クロック信号に結合されている。一つの例において、ラッチ42は透過Dラッチであり、イネーブル入力がアクティブ状態であれば、コア・クロックが高い期間の間透過性である。他の例ではラッチ42はエッジ・トリガDラッチである。ラッチ42の出力はプロセッサ・コア34のデータ入力端子Data Inに結合されている。

【0035】図9はシステム・バス56からプロセッサ・コア34にデータを入力する際の、図8のプロセッサ50の動作の1例を示す一連の波形である。T1の間、Sync信号は高く、スキュー解除バス・クロック（または、バス・クロック）の次の立上りエッジがコア・クロックの立上りエッジに一致していることを示す。T2、T3およびT4の間、外部装置54はシステム・バス56の入力データを駆動する。T4の間、スキュー解除バス・クロックの立上りエッジに応じて、ラッチ40は入力データをラッチする。T5の間、sample_en信号はアクティブ状態で、入力データをラッチしても安全である（すなわち、入力データが安定している）ことを示す。アクティブ状態のsample_en信号とコア・クロックが高い期間に応答して、ラッチ42はラッチ40からの入力データをラッチする。ラッチ42の出力はプロセッサ・コア34のDataIN端子に与えられる。

【0033】プロセッサ50はプロセッサ・コア34を含んでおり、これはコア・クロックに応じて動作して、データおよび命令を処理し、システム・バス56を介して外部装置54とデータを同期交換する。一連のラッチ36、38、40および42はプロセッサ・コア34とシステム・バス56の間に結合されて、プロセッサ・コア34と外部装置54の間の同期データ交換を容易とする。ラッチ36はプロセッサ・コア34のデータ出力端

13

【0036】図10は外部装置54が使用するために、プロセッサ・コア34からシステム・バス56へデータを出力する際の、図8のプロセッサ50の動作の1例を示す一連の波形である。T1の間、Sync信号は高く、スキュー解除バス・クロック（または、バス・クロック）の次の立上りエッジがコア・クロックの立上りエッジに一致していることを示す。T3の間、drive_enはアクティブ状態で、出力パッド44への以降の転送のために出力データをラッチしても安全な時期を示している。T3の間、アクティブ状態のdrive_en信号とコア・クロックが低い期間に応じて、ラッチ36はプロセッサ・コアのDataOUT端子からの出力データをラッチする。ラッチ36はその出力端子におけるラッチされたデータをラッチ38への入力として駆動する。T4の間、バス・クロックの立上りエッジに応じて、ラッチ38は外部装置54が使用するために、出力データをシステム・バス56にラッチし、駆動する。

【0037】図11はP/Qクロック発生器の一実施例のブロック図である。P/Qクロック発生器70はPで分割する分周器60と、ブロック62、64、66および68を含んでいる周波数逓倍位相ロック・ループからなっている。Pで分割する分周器60はPの値とバス・クロックを受け取り、(バス・クロック)/Pの周波数を有する出力信号を発生する。一つの例においては、Pで分割する分周器はプログラマブル・カウンタである。他の例ではPで分割する分周器はマスタ・スレーブ分割回路である。位相周波数検出器62は(バス・クロック)/P信号と、Qで分割するブロック68から出力される(コア・クロック)/Qを受け取り、位相誤差信号とSync信号を発生する。位相誤差信号は2つの入力信号の間に位相または周波数差が存在するかどうかを示す。一つの例において、Sync信号は2つの入力信号の立上りエッジの一致を示す。他の例ではSync信号は2つの入力信号の他の所定の位相関係を示す。ロー・パス・フィルタ64は位相誤差信号を受け取り、制御電圧信号を発生する。制御電圧信号は電圧制御発振器66を駆動する。制御電圧に応じて、電圧制御発振器66は周波数が制御電圧によって決定される出力クロック信号(コア・クロック)を発生する。Qの値とコア・クロックをQで分割する分周器68が受け、(コア・クロック)/Q信号を発生する。一つの例においては、Qで分割する分周器はプログラマブル・カウンタである。他の例ではQで分割する分周器はマスタ・スレーブ分割回路である。位相ロック・ループの作用は電圧制御発振器66の周波数を調節して、(コア・クロック)/Qフィー *

表2

P	Q	カウンタ	sample_en	drive_en
1	000	0000	1	0

14

*ドバック信号が(バス・クロック)/P信号と同じ位相および周波数を有するようにするためのものである。したがって、コア・クロック信号の周波数はバス・クロック信号の周波数のQ/P倍となる。あるいは、バス・クロックの周波数はコア・クロックの周波数のP/Q倍となる。一つの例においては、PはQよりも小さく、バス・クロック周波数がコア・クロック周波数よりも低くなるようになる。

【0038】図12はインタフェース・コントローラの一実施例のブロック図である。インタフェース・コントローラ72は、コア・クロックによって増加し、Sync信号によってリセットされる4ビット・カウンタ・レジスタ74を有するカウンタ76を含んでいる。一つの例において、カウンタ76は組合せ論理によって実現される。デコーダ74はカウンタ・レジスタの値とPおよびQの値を入力として受け取り、これらを復号して、sample_enおよびdrive_enデータ転送信号を発生する。一つの例において、デコーダは組合せ論理によって実現される。他の例ではデコーダはプロセッサである。他の例ではデコーダは状態機械である。

【0039】PおよびQの整数値は各種の方法でコード化することができる。たとえば、一つの例において、インタフェース・コントローラは表1に規定するPおよびQの符号化を使用する。

【0040】表1

整数値	2進符号化
P=3	0
P=4	1
Q=8	000
Q=9	001
Q=10	010
Q=11	011
Q=12	100
Q=13	101
Q=14	110
Q=15	111

【0041】一つの例においては、インタフェース・コントローラは表2に示すような[P=4、Q=8]および[P=4、Q=9]のPおよびQの符号化に対するsample_enおよびdrive_en出力を発生する。

【0042】

15					16
1	0 0 0	0 0 0 1	0	1	
1	0 0 1	0 0 0 1	0	1	
1	0 0 1	0 0 1 0	0	0	
1	0 0 1	0 0 1 1	1	1	
1	0 0 1	0 0 0 0	1	0	
1	0 0 1	0 1 0 0	0	0	
1	0 0 1	0 1 0 1	1	1	
1	0 0 1	0 1 1 0	0	0	
1	0 0 1	0 1 1 1	1	0	
1	0 0 1	1 0 0 0	0	1	
.

【0043】図13-図15は[P=4、Q=8] (図13A) から[P=4、Q=15] (図15H) に対する1例において、インタフェース・コントローラが発生するsample_enおよびdrive_en信号の波形を示す。

【0044】図16はP/Qクロック発生器が発生するSync信号の一つの例を示す。この例において、Sync信号はバスおよびコア・クロック (すなわち、低周波数クロックおよび高周波数クロック) の一致した立上りエッジ以前のコア・クロック (すなわち、高周波数クロック) 期間にアサートされる。一つの例において、Sync信号は立上りエッジの一致の発生のために発生する。他の例ではSync信号は最初の立上りエッジの一致でのみ発生する。他の例ではSync信号は高低の周波数クロックの他のエッジの一致に対応してアサートされ、他の時点でアサートされて、そのような指示を行う。

【0045】図17はコンピュータ・システムにおける本発明装置の一実施例を示す。高周波数コア・クロックに応じて動作するマイクロプロセッサ90は、システム・バス56に結合されている。システム・バスはシステムの各種のブロックの間でデータを転送するために必要なアドレス・ライン、データ・ラインおよび制御ラインを含んでいる。一つの例において、低周波数バス・クロックもシステム・バス56の一部である。マイクロプロセッサ90が使用する命令およびデータを格納するための外部メモリ88、コンピュータ・ユーザが情報およびコマンドをマイクロプロセッサ90に伝えるのを可能とする英数字入力装置80、情報をコンピュータ・ユーザに表示する表示装置82、および情報を格納するためのハード・ディスクなどのデータ記憶装置84もシステム*

*・バス56に結合されている。情報はバス・クロック周波数でシステム・バス56上で転送される。システム・バス56に結合されている1つまたは複数の装置は、バス・クロックに応じて動作する。マイクロプロセッサ90が高周波数内部コア・クロックにしたがって動作するため、マイクロプロセッサ90はマイクロプロセッサ90とシステム・バス56に結合されている他の装置の間に同期データ転送をもたらすためのP/Q同期転送装置86を含んでいる。本発明装置によって、高周波数マイクロプロセッサがコンピュータ・システムの低周波数コンポーネントとデータを同期交換することが可能となる。図示のコンポーネントのすべてが必ずしも所与のコンピュータ・システムの実施形態に必要なものではないということを理解すべきである。所与のコンピュータ・システムに付加的なコンポーネントが存在してもかまわないことも、理解すべきである。一つの例において、マイクロプロセッサ90は図4のマイクロプロセッサ50である。

【0046】本発明はコンピュータ・システムの設計時におけるバスおよびクロック周波数の選択の融通性を高めるとともに、同期データ転送をもたらす。たとえば、今日のシステム・ボード設計は50または66MHzの動作のいずれかに対して最適化されている。一つの例において、50および66MHz両方のシステム・ボードを設計する場合、本発明は表3に規定するP/Q値および対応するマイクロプロセッサの周波数に対して同期データ転送をもたらす。マイクロプロセッサの周波数を表3の最上行に示し、P/Q値を左側の列に示す。対応するバス周波数を表3の本体に示す。

【0047】

表3
P/Q、CPU周波数、およびバス周波数の組合せ

CPU 周波数	133 MHz	150 MHz	166 MHz	183 MHz	200 MHz	216 MHz
P/Q値	CPUの周波数およびP/Q値に対応したバス周波数					

4 / 8	66 MHz				
4 / 9		66 MHz			
4 / 10			66 MHz		
4 / 11				66 MHz	
4 / 12					66 MHz
4 / 13					66 MHz
3 / 8	50 MHz				
3 / 9		50 MHz			
3 / 10			50 MHz		
3 / 11				50 MHz	
3 / 12					50 MHz
3 / 13					50 MHz

【0048】他の例においては、他のボード周波数、P/Qの組合せ、およびマイクロプロセッサ周波数を使用することができる。

【0049】図18はP/Q関係周波数で動作するデジタル装置間でデータを同期転送するための本発明方法の流れ図である。ステップ100は上記の式1の周波数関係を有する低周波数クロックと高周波数クロックを発生する。一つの例において、クロックは上述のP/Qクロック発生器によって発生される。ステップ102はSync信号を発生して、高低の周波数クロックの所定の位相関係を示す。一つの例において、Sync信号はクロックの立上りエッジの一致を示す。他の例ではSync信号は高低の周波数クロックの他のエッジの一致を示す。一つの例において、Sync信号は上述のP/Qクロック発生器によって発生される。他の例では独立した位相検出回路がSync信号を発生する。ステップ104はSync信号および高周波数クロックに応じて、高低データ転送信号(図1のH→L_enなど)および低高データ転送信号(図1のL→H_enなど)を発生する。アクティブ状態の場合、データ転送信号は高低の周波数領域において動作する装置の間での同期データ転送を可能とするための安全にデータを転送できる時間を限定する。一般に、安全にデータを転送できる時間ないしウィンドウは、送信周波数領域のデータが安定であるとわかっているときで、かつ受信周波数領域の受信装置がデータを受け取れるときである。一つの例において、データ転送信号は上述のインタフェース・コントローラによって発生される。ステップ106において、データ修飾器は高低データ転送信号および高周波数クロックに応じて、高周波数装置(高周波数クロックに応じて動作する)から低周波数装置(低周波数クロックに応じて動作する)へのデータの転送を可能とする。ステップ108において、データ修飾器は低高データ転送信号および高周波数クロックに応じて、低周波数装置から高周波数装置へのデータの転送を可能とする。

【0050】以上、P/Q整数比関係を有する周波数で

動作するデジタル装置の間に同期データ転送をもたらすシステム、方法および装置を説明した。上記の明細書において、本発明を特定の例示実施例を参照して説明した。しかしながら、特許請求の範囲に記載されている本発明の範囲の広い精神および範囲から逸脱することなく、各種の改変および変更を行えることが明らかである。明細書および図面は、したがって、限定的なものとしてではなく、説明のためのものと見なされるべきものである。

【図面の簡単な説明】

【図1】 本発明装置の一実施例のブロック図である。

【図2】 プログラム式ピンからなるP/Qセレクタのブロック図である。

【図3】 プログラム式レジスタからなるP/Qセレクタのブロック図である。

【図4】 状態機械からなるP/Qセレクタのブロック図である。

【図5】 P/Qを選択するためのアルゴリズムを示す図である。

【図6】 低高データ転送信号、すなわちインタフェース・コントローラによって発生されるL→H_en信号の一つの例を示す図である。

【図7】 高低データ転送信号、すなわちインタフェース・コントローラによって発生されるH→L_en信号の一つの例を示す図である。

【図8】 コンピュータ・システムのプロセッサにおける本発明装置の実施例のブロック図である。

【図9】 データをシステム・バスからプロセッサに転送する際の図8の実施例の動作の一例を説明する一連の波形の図である。

【図10】 データをプロセッサからシステム・バスに転送する際の図8の実施例の動作の一例を説明する一連の波形の図である。

【図11】 P/Qクロック発生器の一実施例のブロック図である。

【図12】 インタフェース・コントローラの一実施例

19

のブロック図である。

【図13】 P=4およびQ=8、P=4およびQ=9、P=4およびQ=10に対する一例における、インタフェース・コントローラによって発生される sample_enおよびdrive_en信号の波形を示す図である。

【図14】 P=4およびQ=11、P=4およびQ=12、P=4およびQ=13に対する一例における、インタフェース・コントローラによって発生される sample_enおよびdrive_en信号の波形を示す図である。

【図15】 P=4およびQ=14とP=4およびQ=15に対する一例における、インタフェース・コントローラによって発生される sample_enおよびdrive_en信号の波形を示す図である。

20

* 【図16】 Sync信号の一例を説明する一連の波形の図である。

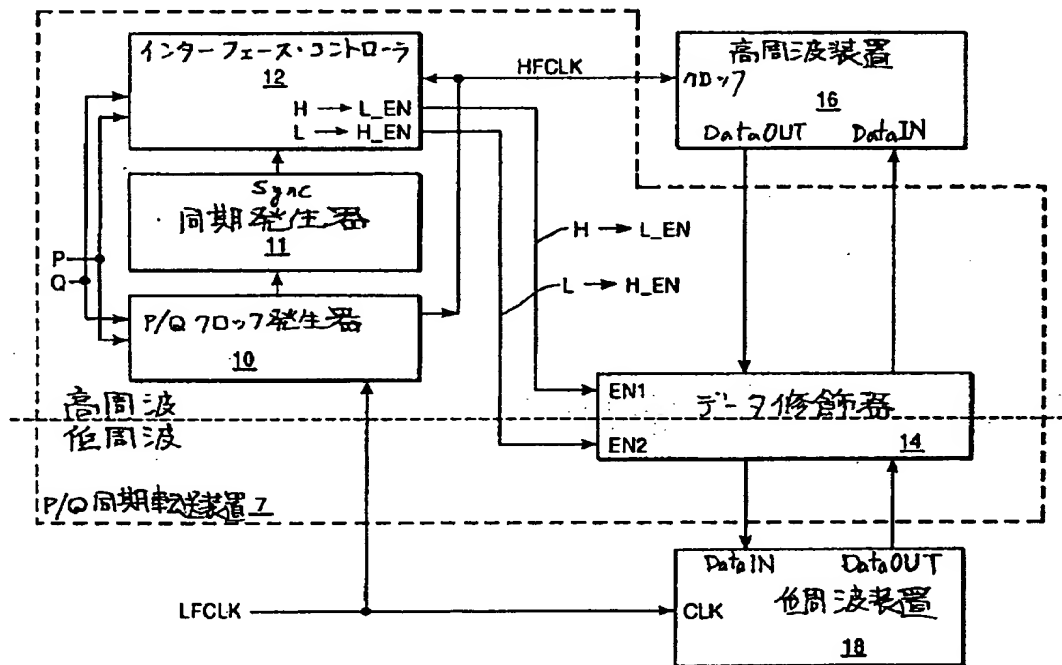
【図17】 コンピュータ・システムのマイクロプロセッサにおける本発明装置の実施例の図である。

【図18】 異なる周波数で動作する装置の間でデータを同期転送するための本発明方法の流れ図である。

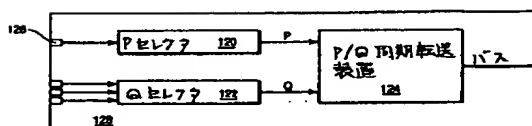
【符号の説明】

- 7 P/Q同期転送装置
- 10 P/Qクロック発生器
- 11 同期発生器
- 12 インタフェース・コントローラ
- 14 データ修飾器
- 16 高周波数装置
- 18 低周波数装置

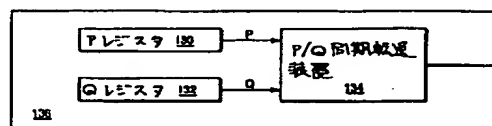
【図1】



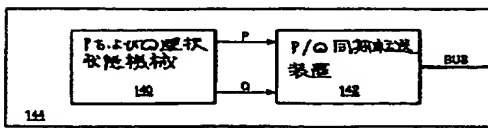
【図2】



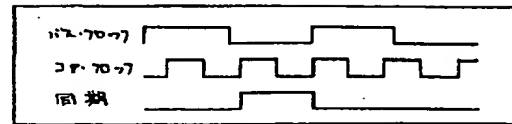
【図3】



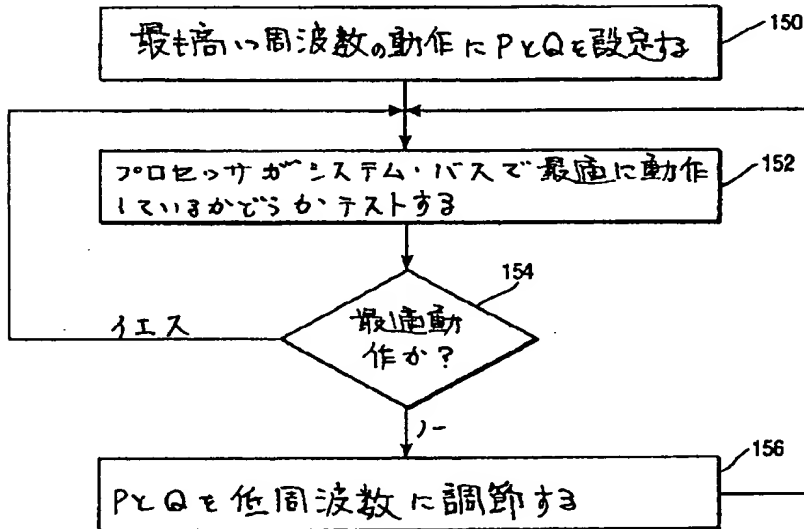
【図4】



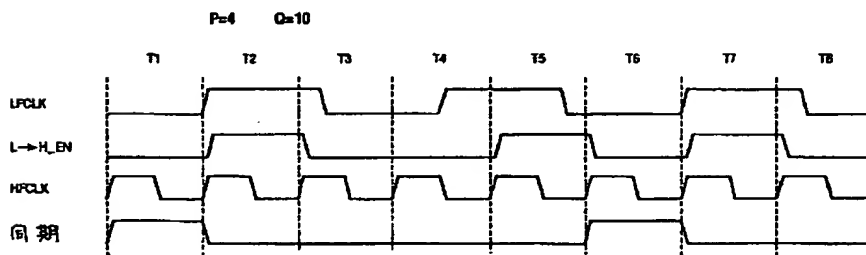
【図16】



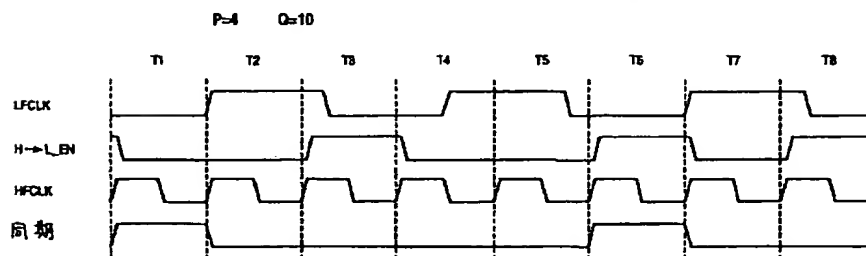
【図5】



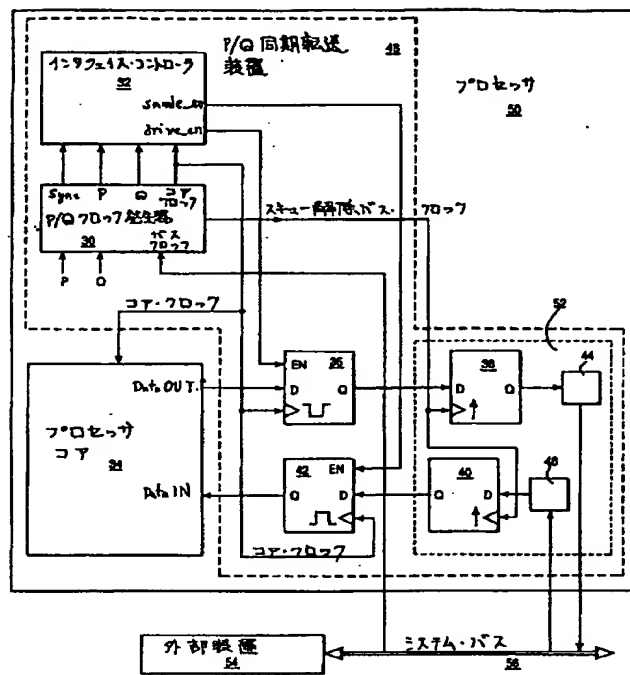
【図6】



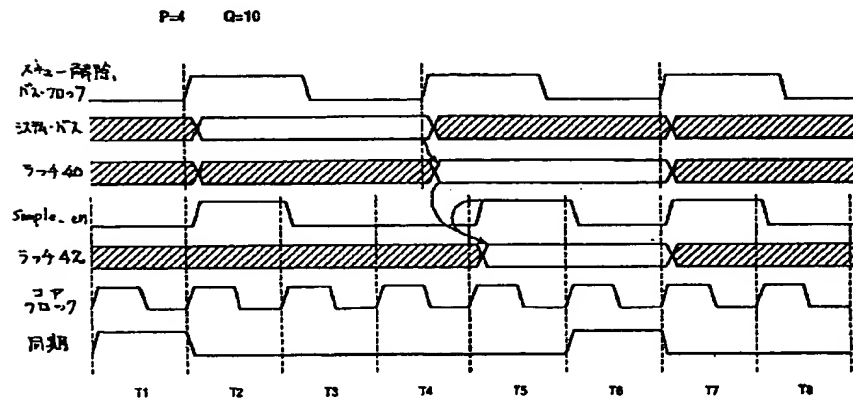
【図7】



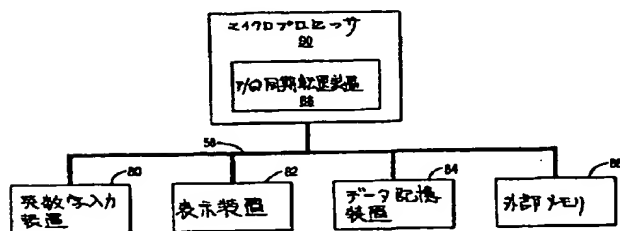
【図 8】



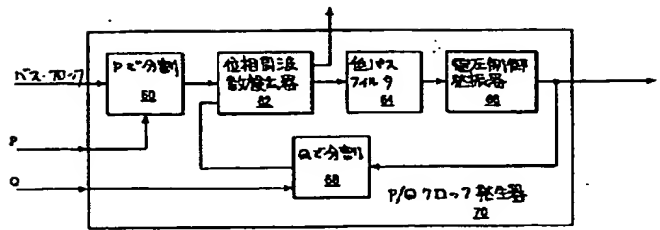
【図 9】



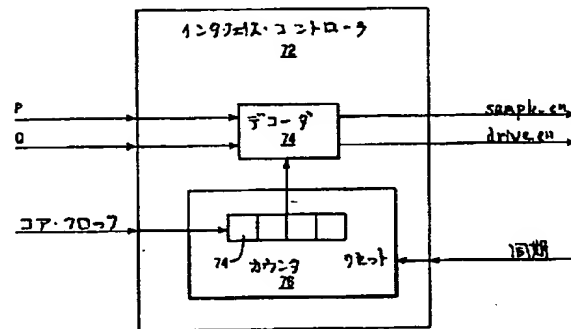
【図 17】



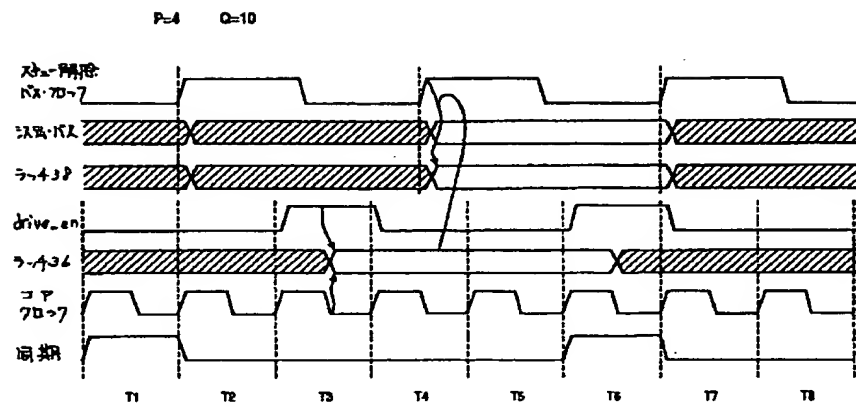
【図 11】



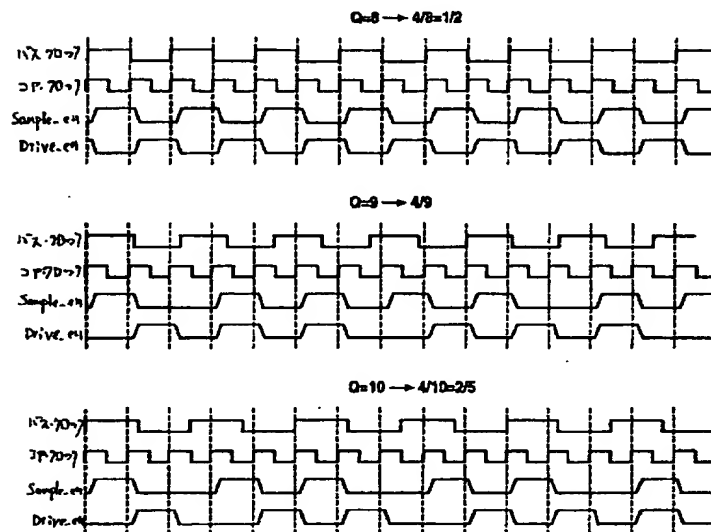
【図 12】



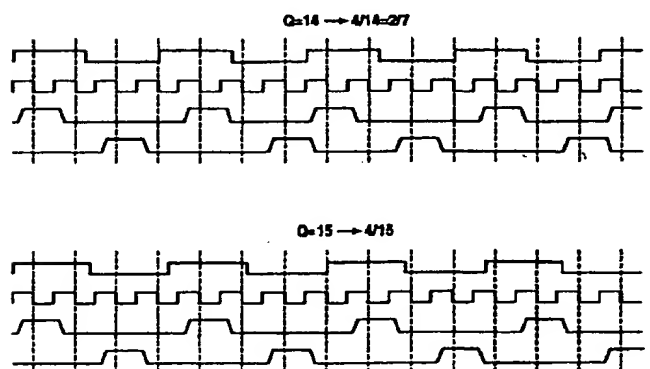
【図10】



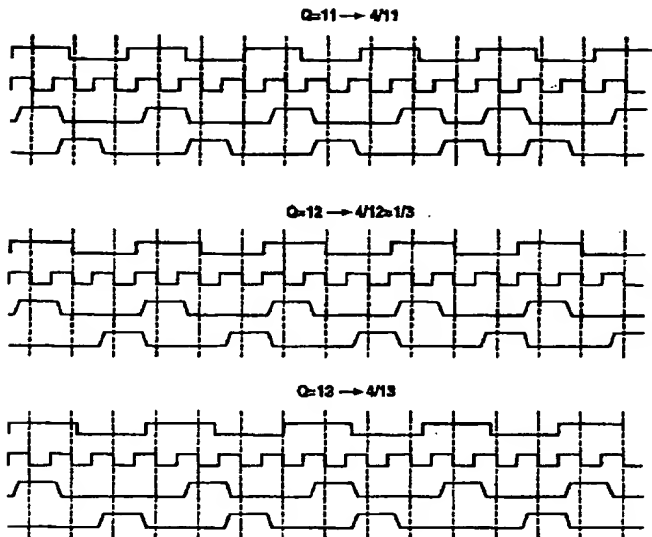
【図13】



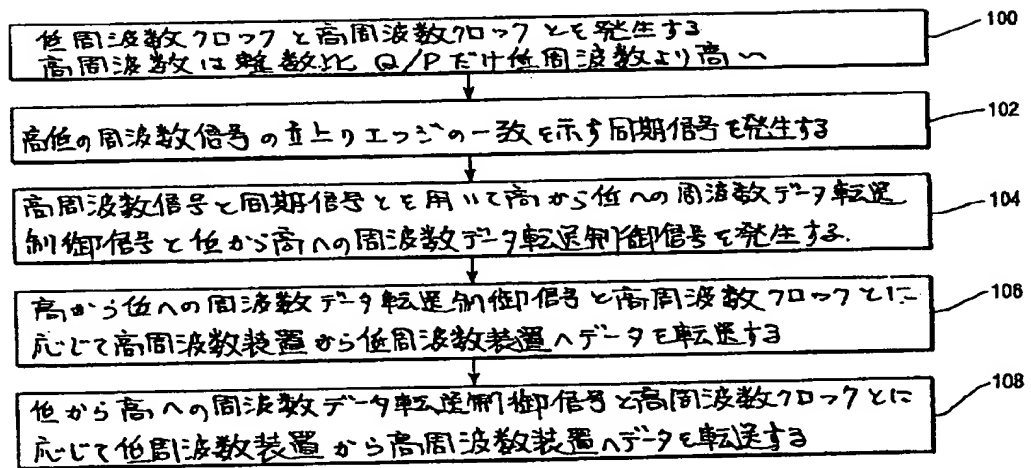
【図15】



【図 14】



【図 18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.